

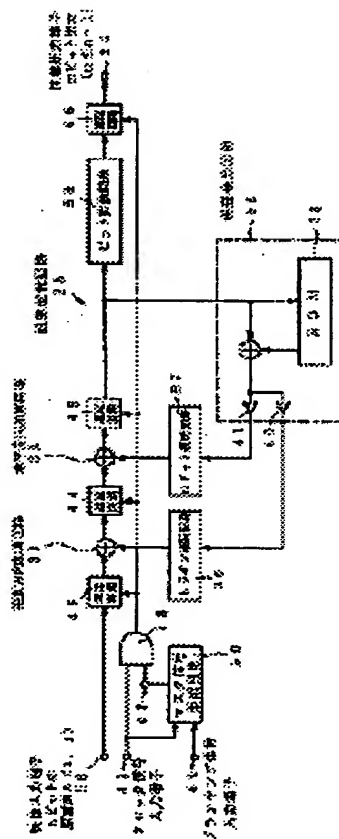
ERROR DIFFUSION CIRCUIT

Patent number: JP8146905
Publication date: 1996-06-07
Inventor: KOBAYASHI MASAYUKI; NAKAJIMA MASAMICHI;
 KOSAKAI ASAO; ONODERA JUNICHI; DENDA ISATO
Applicant: FUJITSU GENERAL LTD
Classification:
 - international: **G02F1/133; G09G3/20; G09G3/28; G09G3/36;
 G09G5/00; G02F1/13; G09G3/20; G09G3/28;
 G09G3/36; G09G5/00; (IPC1-7): G09G3/20; G02F1/133;
 G09G3/36**
 - european:
Application number: JP19940307115 19941117
Priority number(s): JP19940307115 19941117

Report a data error here

Abstract of JP8146905

PURPOSE: To save electric power by eliminating useless error diffusion processing in a non-video period. **CONSTITUTION:** This error diffusion circuit adds the reproduction error detected by an error detecting circuit 35 on the video signal of n-bits of inputted original pixels while matching the timing of the clock signal from a clock signal input terminal 42 inputted to respective circuits with the delay time accompanied with video processing in a delay circuit and further, converts the diffusion output signal to $m(\leq n-1)$ bits of signals and outputs these signals to a display panel. A mask signal forming circuit 50 for stopping the error diffusion processing in a part or the whole of a blanking period is interposed between the clock signal input terminal 42 and the delay circuit of the error diffusion circuit described above. The error diffusion processing is then executed only for the specified block before and after the video period and the blanking period. The error diffusion processing is not executed during the mask period. There is thus no useless video processing and the electric power is saved.



BEST AVAILABLE COPY

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-146905

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
G 0 9 G 3/20		K 4237-5H		
G 0 2 F 1/133	5 7 5			
G 0 9 G 3/36				

審査請求 未請求 請求項の数 4 - F D (全 6 - 頁)

(21) 出願番号 特願平6-307115

(22) 出願日 平成6年(1994)11月17日

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 小林 正幸

神奈川県川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(72) 発明者 中島 正道

神奈川県川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(72) 発明者 小坂井 朝郎

神奈川県川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(74) 代理人 弁理士 古澤 俊明 (外 1 名)

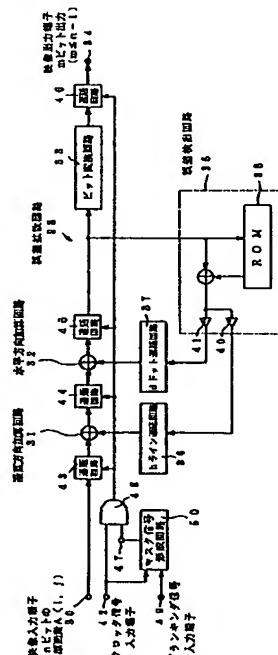
最終頁に続く

(54) 【発明の名称】 誤差拡散回路

(57) 【要約】

【目的】 非映像期間における無駄な誤差拡散処理をなくし、省電力化を図ったものを得ることを目的とする。

【構成】 各回路に入力するクロック信号入力端子42からのクロック信号のタイミングを、遅延回路で映像処理に伴う遅延時間に合わせながら、入力したnビットの原画素の映像信号に、誤差検出回路35で検出した再現誤差を加算し、さらに、拡散出力信号をm ($\leq n-1$) ビットの信号に変換して表示パネルへ出力する誤差拡散回路において、クロック信号入力端子42と遅延回路との間に、ブランキング期間の一部または全部における誤差拡散処理を停止するためのマスク信号形成回路50を介在する。すると、映像期間と、ブランキング期間の前後一定クロック分だけ誤差拡散処理が行われ、マスク期間中は、誤差拡散処理が行われず、無駄な映像処理がなく、電力の省力化が図られる。



【特許請求の範囲】

【請求項1】 各回路に入力するクロック信号入力端子42からのクロック信号のタイミングを、遅延回路で映像処理に伴う遅延時間に合わせながら、入力した n ビットの原画素の映像信号に、誤差検出回路35で検出した再現誤差を加算し、さらに、拡散出力信号を m ($\leq n-1$) ビットの信号に変換して表示パネルへ出力する誤差拡散回路において、前記クロック信号入力端子42と遅延回路との間に、ブランキング期間の一部または全部における誤差拡散処理を停止するためのマスク信号を出力するマスク信号形成回路50を介在してなることを特徴とする誤差拡散回路。

【請求項2】 マスク信号形成回路50は、映像処理の遅延分をブランキング期間から差し引いた期間をマスク期間とするためのカウンタ51とデコーダ52とからなる請求項1記載の誤差拡散回路。

【請求項3】 再現誤差加算回路は、垂直方向加算回路31、水平方向加算回路32、斜め方向加算回路のいずれか1以上で構成した請求項1または2記載の誤差拡散回路。

【請求項4】 表示パネルは、PDPまたは液晶ディスプレイパネルからなる請求項1、2または3記載の誤差拡散回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プラズマディスプレイパネル(PDP)、液晶ディスプレイパネルなどの表示装置において、ブランキング期間における不要な誤差拡散処理を行わないようにして省電力化を図った誤差拡散回路に関するものである。

【0002】

【従来の技術】最近、薄型、軽量の表示装置として、PDP表示装置が注目されている。このPDP表示装置の駆動方式は、従来のCRT駆動方式とは全く異なっており、デジタル化された映像入力信号による直接駆動方式である。したがって、パネル面から発光される輝度階調は、扱う信号のビット数によって定まる。

【0003】PDPは基本的特性の異なるAC駆動型とDC駆動型の2方式に分けられる。このうち、AC駆動型PDPでは、輝度と寿命については十分な特性が得られているが階調表示に関しては、試作レベルで最大64階調表示までの報告しかなかった。最近、アドレス・表示分離型駆動法(ADSサブフィールド法)による将来の256階調の手法が提案されている。

【0004】このAC駆動方式では、階調数を増やせば増やすほど、1フレーム期間内でパネルを点灯発光させる準備期間としてのアドレス期間のビット数が増加するため、発光期間としてのサスティン期間が相対的に短くなり、最大輝度が低下する。このように、パネル面から発光される輝度階調は、扱う信号のビット数によって定

まるため、扱う信号のビット数を増やせば、画質は向上するが、発光輝度が低下し、逆に扱う信号のビット数を減らせば、発光輝度が増加するが、階調表示が少なくなり、画質の低下を招く。

【0005】そこで、本出願人は、図4に示すような、入力信号のビット数よりも出力駆動信号のビット数を低減しながら、入力信号と発光輝度との濃淡誤差を最小にするとともに、同一レベルの映像信号が連続して入力した場合にも擬似紋様が発生するのを防止できる擬似中間調表示装置の誤差拡散回路28を提案した。

【0006】この図4において、30は、 n ビットの原画素A-(i, j)の映像信号入力端子で、この映像信号入力端子30は、垂直方向加算回路31および水平方向加算回路32を経、さらにビット変換回路33でビット数を減らす処理をして映像出力端子34に接続される。

【0007】前記水平方向加算回路32の出力側には誤差検出回路35が接続されている。この誤差検出回路35は、予め輝度階調補正用の補正輝度レベルのデータが設定記憶されたROM38と、このROM38で設定された補正輝度レベルと前記水平方向加算回路32から出力する拡散出力信号との和を演算して誤差検出信号を出力する加算回路39と、この加算回路39から出力する誤差検出信号に所定の重み付けをした誤差荷重信号を出力する荷重回路40、41とからなっている。

【0008】前記誤差検出回路35の荷重回路40と41の出力側には、それぞれ h ライン遅延回路36と d ドット遅延回路37を介して前記垂直方向加算回路31と水平方向加算回路32とが結合している。前記 h ライン遅延回路36は、前記荷重回路40から出力する誤差荷重出力信号を h ライン遅延するもので、原画素A(i, j)より h ライン前の画素についての再現誤差(例えば、 $h=1$ のときは1ラインだけ過去に生じた再現誤差 $E(i, j-1)$)を出力し、前記 d ドット遅延回路37は、前記荷重回路41から出力する誤差荷重出力信号を d ドット遅延するもので、原画素A(i, j)より d ドット前の画素についての再現誤差(例えば、 $d=1$ のときは1ドットだけ過去に生じた再現誤差 $E(i-1, j)$)を出力する。

【0009】前記垂直方向加算回路31、水平方向加算回路32によって h ライン遅延回路36、 d ドット遅延回路37の誤差を組み入れて拡散させた拡散出力信号をビット変換回路33に送り、このビット変換回路33で n ビットで量子化された拡散出力信号を、 m ($\leq n-1$) ビットに変換して映像出力端子34からPDPへ駆動信号として出力する。なお、誤差拡散のための映像処理には、遅延時間を伴うため、各回路間に、遅延回路43、44、45、46を介在し、クロック信号入力端子42からクロック信号を入力することによってタイミングを一致させている。

【0010】

【発明が解決しようとする課題】以上のようにして、常時誤差拡散を行うと、ブランキング期間の非映像データに対しても無駄に誤差拡散処理を行うだけでなく、不必要な電力を消費しているという問題点があった。

【0011】本発明は、非映像期間における無駄な誤差拡散処理をなくし、省電力化を図ったものを得ることを目的とするものである。

【0012】

【課題を解決するための手段】本発明は、各回路に入力するクロック信号入力端子42からのクロック信号のタイミングを、遅延回路で映像処理に伴う遅延時間に合わせながら、入力した n ビットの原画素の映像信号に、誤差検出回路35で検出した再現誤差を加算し、さらに、拡散出力信号を m ($\leq n-1$) ビットの信号に変換して表示パネルへ出力する誤差拡散回路において、前記クロック信号入力端子42と遅延回路との間に、ブランキング期間の一部または全部における誤差拡散処理を停止するためのマスク信号を出力するマスク信号形成回路50を介し、このマスク信号形成回路50は、映像処理の遅延分をブランキング期間から差し引いた期間をマスク期間とするためのカウンタ51とデコーダ52とからなることを特徴とする誤差拡散回路である。

【0013】

【作用】ブランキング信号が入力すると、カウンタ51がクロック信号を計数し、一定値、例えば4個を計数すると、デコーダ52からマスク信号が出力する。カウンタ51はさらにクロック信号を計数し、292個になると、マスク信号がなくなり、通常の映像処理に入る。このようにして、映像期間と、ブランキング期間の前後4クロック分だけ誤差拡散処理が行われ、マスク期間(5~296個の間)は、誤差拡散処理が行われず、したがって、無駄な映像処理がなく、かつ、電力の省力化が図られる。必要期間だけ誤差拡散させた拡散出力信号をビット変換回路33に送り、このビット変換回路33にて n ビットで量子化された拡散出力信号を、 m ($\leq n-1$) ビットに変換して映像出力端子34より出力する。そして、原映像入力信号よりも少ないビット数の信号により、発光輝度が低下することなく、しかも、滑らかな応答が得られる。

【0014】

【実施例】以下、本発明による誤差拡散回路の一実施例を図1および図2を用いて説明する。図4と同一部分は同一符号とする。本発明の特徴は、ブランキング期間中はクロック信号を止めて誤差拡散処理を停止するための回路を付加したことである。そのため、クロック信号入力端子42とマスク信号入力端子47とをアンド回路48を介して各遅延回路43、44、45、46に接続したものである。さらに詳しくは、30は、 n ビットの原画素 $A(i, j)$ の映像信号入力端子で、この映像信号入力端子30は、遅延回路43、垂直方向加算回路3

1、遅延回路44、水平方向加算回路32、遅延回路45、ビット変換回路33、遅延回路46を経て映像出力端子34に接続される。前記垂直方向加算回路31と水平方向加算回路32は、再現誤差加算回路を構成している。

【0015】前記遅延回路45の出力側には、誤差検出回路35が接続されている。この誤差検出回路35は、予め輝度階調補正用の補正輝度レベルのデータが設定記憶されたROM38と、このROM38で設定された補正輝度レベルと前記水平方向加算回路32から出力する拡散出力信号との和を演算して誤差検出信号を出力する加算回路39と、この加算回路39から出力する誤差検出信号に所定の重み付けをした誤差荷重信号を出力する荷重回路40、41とからなる。

【0016】前記誤差検出回路35の荷重回路40と41の出力側には、それぞれ h ライン遅延回路36と d ドット遅延回路37を介して前記垂直方向加算回路31と水平方向加算回路32とが結合している。前記 h ライン遅延回路36は、前記荷重回路40から出力する誤差荷重出力信号を h ライン遅延するもので、原画素 $A(i, j)$ より h ライン前の画素についての再現誤差(例えば、 $h=1$ のときは1ラインだけ過去に生じた再現誤差 $E(i, j-1)$)を出力し、前記 d ドット遅延回路37は、前記荷重回路41から出力する誤差荷重出力信号を d ドット遅延するもので、原画素 $A(i, j)$ より d ドット前の画素についての再現誤差(例えば、 $d=1$ のときは1ドットだけ過去に生じた再現誤差 $E(i-1, j)$)を出力する。

【0017】前記マスク信号形成回路50は、図2に示すように、クロック信号入力端子42とブランキング信号入力端子49とに接続されたカウンタ51と、このカウンタの出力側に接続されたデコーダ52とからなり、このデコーダ52の出力側からマスク信号が出力するようになっている。これは、ブランキング期間=マスク期間とすると、映像データの処理に伴う遅延時間により映像データと映像処理が一部途切れることとなるので、遅延部分をブランキング期間から差し引くためのものである。図1の例では、映像期間のクロック数を640とし、ブランキング期間のクロック数を300とすると、回路中に4個の遅延回路43、44、45、46を有するので、マスク期間は、ブランキング期間より前後でそれぞれ4個のクロック分だけ短くして少なくとも292個とする必要があることによる。

【0018】つぎに、図1に示した実施例の作用を説明する。2つの輝度階調で密度変調を行い、ある広がりを持った小領域内で視覚上擬似的な階調を作り出し、多階調を得るものである。さらに詳しく説明する。

$A(i, j)$: 現処理対象の入力画素値

$A(i, j-1)$: 1ライン前の入力画素値($h=1$ の場合)

$A(i-1, j)$: 1ドット前の入力画素値 ($d=1$ の場合)

δv : 1ライン前からの拡散出力画素の誤差荷重値

δh : 1ドット前からの拡散出力画素の誤差荷重値

とすると、誤差検出回路35にした拡散出力信号とROM38からのデータとが、加算回路39でその和がとられて誤差出力信号が得られる。

【0019】この誤差出力信号は、荷重回路40、41でそれぞれ $K_v (<1)$ 、 $K_h (=1-K_v)$ の重み付けされた誤差荷重出力信号 δv 、 δh となり、1ライン遅延回路36 ($h=1$ の場合)と1ドット遅延回路37 ($d=1$ の場合)にし、垂直方向加算回路31と水平方向加算回路32で原画素 $A(i, j)$ に組み入れられ、 $C(i, j) = A(i, j) + \delta v + \delta h$ となる。

【0020】なお、 $C(i, j)$: 現処理対象の拡散出力画素値

$\delta v = K_v \times [f\{C(i, j-1)\} - Br]$

$\delta h = K_h \times [f\{C(i-1, j)\} - Br]$

$f\{C(i, j)\}$: $C(i, j)$ に対する補正輝度
 Br : 発光輝度レベルである。

【0021】ここで、図3(b)のように、ブランキング信号がすると、カウンタ51が(a)に示すクロック信号を計数する。カウンタ51がクロック信号を4個計数すると、(c)のように、デコーダ52からマスク信号が出力する。カウンタ51はさらにクロック信号を計数し、292個になると、マスク信号がなくなり、通常の映像処理に入る。

【0022】このようにして、映像期間と、ブランキング期間の前後4クロック分だけ誤差拡散処理が行われ、前記マスク期間(5~296個の間)は、誤差拡散処理が行われず、したがって、無駄な映像処理がなく、かつ、電力の省力化が図られる。必要期間だけ誤差拡散させた拡散出力信号をビット変換回路33に送り、このビット変換回路33にて n ビットで量子化された拡散出力信号を、 $m (\leq n-1)$ ビットに変換して映像出力端子34より出力する。そして、原映像入力信号よりも少ないビット数の信号により、発光輝度が低下することなく、しかも、滑らかな応答が得られる。

【0023】前記実施例では、遅延回路を4個としたので、マスク期間は、ブランキング期間よりも前後4クロック分ずつ短くなるようにした。しかし、遅延回路の数、その他遅延時間によっては、前記実施例に限られるものではない。

【0024】前記実施例では、再現誤差加算回路を垂直方向加算回路31と水平方向加算回路32とで構成するようにしたが、本発明はこれに限るものではない。例えば、さらに、斜め方向からの誤差値を加算する回路を付加するようにしてもよいし、垂直方向加算回路31、

水平方向加算回路32、斜め方向加算回路のいずれか以上の組み合わせで構成してもよい。

【0025】前記実施例では、表示パネルがPDPの場合について説明したが、本発明はこれに限るものでなく、PDP以外の表示パネル(例えば、液晶ディスプレイパネル)の場合についても利用できる。

【0026】

【発明の効果】本発明は、上記のように、各回路にするクロック信号入力端子42からのクロック信号のタイミングを、遅延回路で映像処理に伴う遅延時間に合わせながら、した n ビットの原画素の映像信号に、誤差検出回路35で検出した再現誤差を加算し、さらに、拡散出力信号を $m (\leq n-1)$ ビットの信号に変換して表示パネルへ出力する誤差拡散回路において、前記クロック信号入力端子42と遅延回路との間に、ブランキング期間の一部または全部における誤差拡散処理を停止するためのマスク信号を出力するマスク信号形成回路50を介在したので、原映像入力信号よりも少ないビット数の信号により、発光輝度が低下することなく、滑らかな応答が得られるとともに、非映像期間における無駄な誤差拡散処理をなくし、省電力化を図ることができる。

【0027】また、マスク信号形成回路50は、カウンタ51とデコーダ52とで映像処理の遅延分をブランキング期間から差し引いた期間をマスク期間とするように構成したので、ブランキング期間を全部マスク期間とすることによる不具合、すなわち、映像データの処理に伴う遅延時間により映像データと映像処理が一部途切れたりすることがない。

【図面の簡単な説明】

【図1】本発明による誤差拡散回路の一実施例を示すブロック図である。

【図2】図1におけるマスク信号形成回路50のブロック図である。

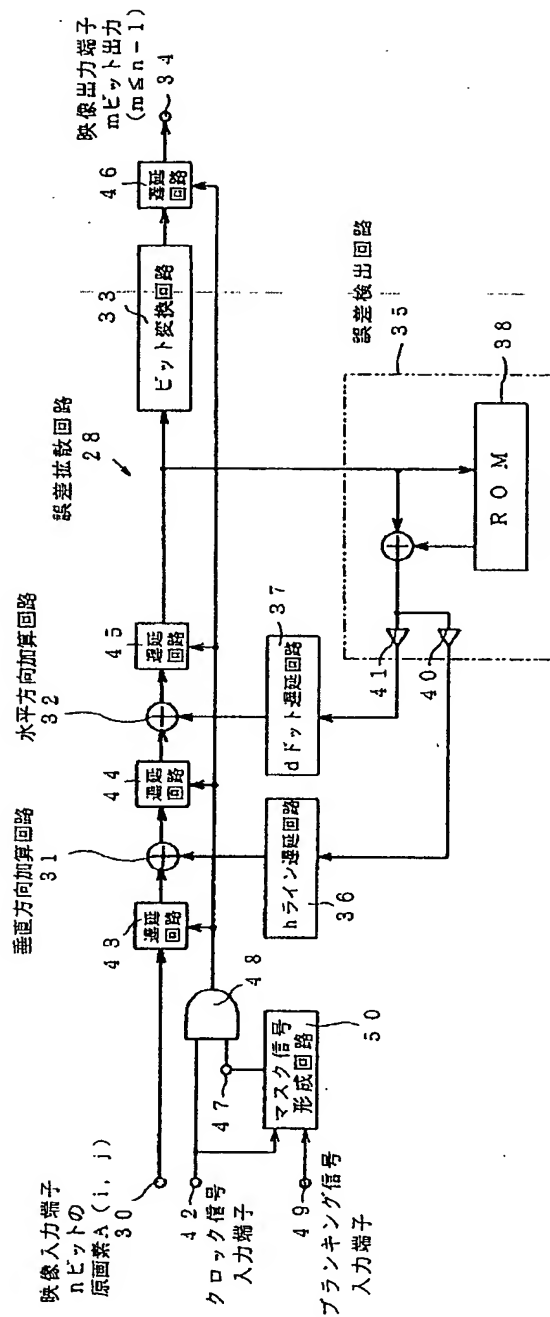
【図3】(a)はクロック信号、(b)はブランキング信号、(c)はマスク信号の各波形図である。

【図4】本出願人が既に提案した擬似中間調表示装置の誤差拡散回路のブロック図である。

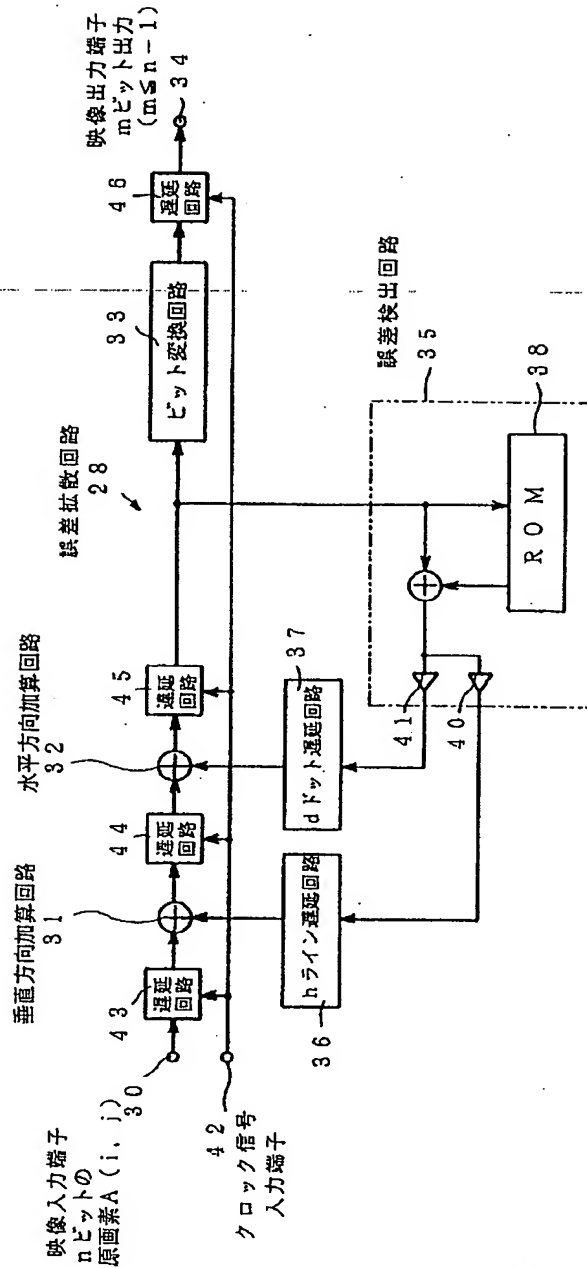
【符号の説明】

28…誤差拡散回路、30…映像信号入力端子、31…垂直方向加算回路、32…水平方向加算回路、33…ビット変換回路、34…映像出力端子、35…誤差検出回路、36… h ライン遅延回路、37… d ドット遅延回路、38…ROM、39…加算回路、40、41…荷重回路、42…クロック信号入力端子、43、44、45、46…遅延回路、47…マスク信号入力端子、48…アンド回路、49…ブランキング信号入力端子、50…マスク信号形成回路、51…カウンタ、52…デコーダ。

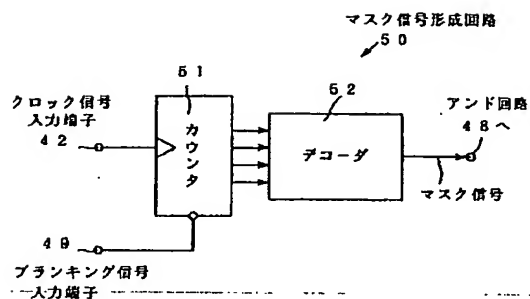
【図1】



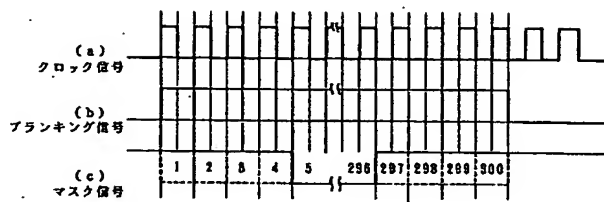
【図4】



【図2】



【図3】



フロントページの続き

(72)発明者 小野寺 純一
神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内

(72)発明者 傳田 勇人
神奈川県川崎市高津区末長1116番地 株式
会社富士通ゼネラル内